

PCTWORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

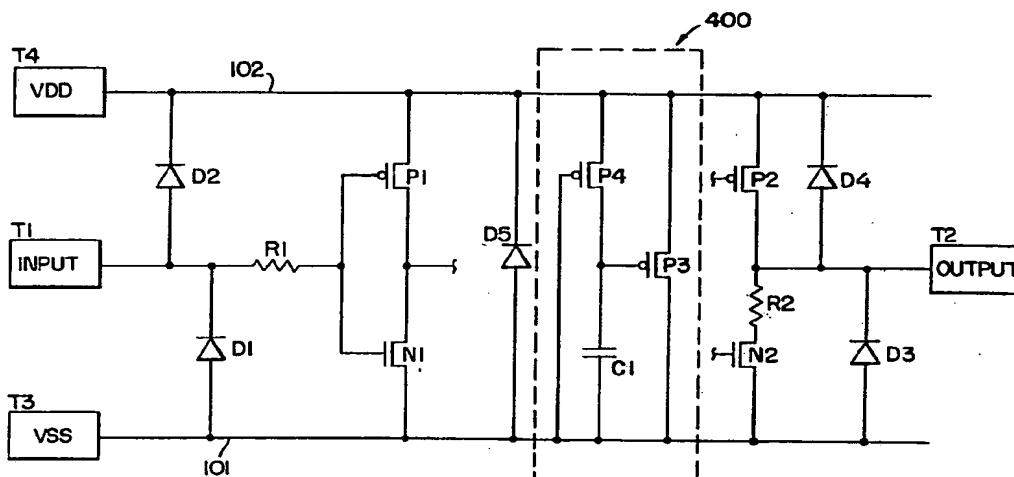
(51) International Patent Classification ⁵ : H02H 9/04	A1	(11) International Publication Number: WO 93/15541 (43) International Publication Date: 5 August 1993 (05.08.93)
---	-----------	--

(21) International Application Number: PCT/US93/01036

(22) International Filing Date: 4 February 1993 (04.02.93)

(30) Priority data:
830,715 4 February 1992 (04.02.92) US(71) Applicant: CIRRUS LOGIC, INC. [US/US]; 3100 W.
Warren Avenue, Fremont, CA 94538 (US).(72) Inventor: PUAR, Deepraj, S. ; 1657 Eagle Drive, Sunny-
vale, CA 94087 (US).(74) Agents: BLAKELY, Roger, W., Jr. et al. ; Blakely, Sokoloff,
Taylor and Zafman, 12400 Wilshire Boulevard, 7th
Floor, Los Angeles, CA 90025 (US).(81) Designated States: AT, AU, BB, BG, BR, CA, CH, DE,
DK, ES, FI, GB, HU, JP, KP, KR, LK, LU, MG, MN,
MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, UA, Euro-
pean patent (AT, BE, CH, DE, DK, ES, FR, GB, GR,
IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF,
CG, CI, CM, GA, GN, ML, MR, SN, TD, TG).**Published**
With international search report.

(54) Title: SHUNT CIRCUIT FOR ELECTROSTATIC DISCHARGE PROTECTION



(57) Abstract

A circuit (400) is added to a complementary metal-oxide silicon integrated circuit to provide an intentional, non-reverse-biased VDD-to-VSS shunt path for transient currents such as electrostatic discharges. This circuit protects the IC from ESD damage by turning on before any other path, thus directing the ESD transient current away from easily damage structures. Specifically, the ESD transient current is steered from the VDD rail (102) to the VSS rail (101) through the on conduction of a P-channel transistor (P3) whose source and drain are connected to VDD and VSS respectively. The voltage on the gate of this transistor follows the VDD supply rail because it is driven by a delay network formed by a second transistor (P4) and a capacitor (C1). This VDD-tracking delay network turns the VDD-to-VSS transistor on during a transient and off during normal operation of the IC.

(19)日本国特許庁(JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平7-503599

第7部門第4区分

(43)公表日 平成7年(1995)4月13日

(51)Int.Cl.*

識別記号

庁内整理番号

FI

H02H 9/04

A 9059-5G

H01L 21/822

21/8234

9170-4M

H01L 27/08

321 H

9170-4M

102 F

審査請求 未請求 予備審査請求 有 (全7頁) 最終頁に続く

(21)出願番号 特願平5-513527
 (86)(22)出願日 平成5年(1993)2月4日
 (85)翻訳文提出日 平成6年(1994)7月29日
 (86)国際出願番号 PCT/US93/01036
 (87)国際公開番号 WO93/15541
 (87)国際公開日 平成5年(1993)8月5日
 (31)優先権主張番号 830, 715
 (32)優先日 1992年2月4日
 (33)優先権主張国 米国(US)

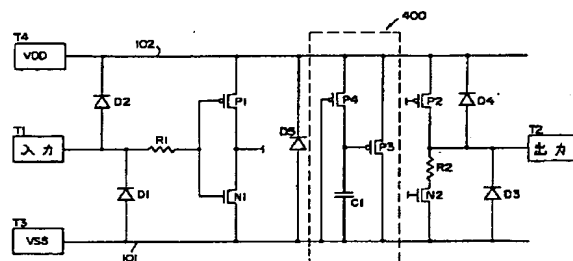
(71)出願人 サーラス・ロジック・インコーポレーテッド
 アメリカ合衆国 94538 カリフォルニア
 州・フレモント・ウエスト ウォーレン
 アヴェニュー・3100
 (72)発明者 ブアール, ディーブレイ・エス
 アメリカ合衆国 94087 カリフォルニア
 州・サニーヴェイル・イーグル ドライ
 ブ・1657
 (74)代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54)【発明の名称】 静電放電防護用分路

(57)【要約】

静電放電などの過渡電流に対して意図的な、非逆バイアスVDD-VSS間分路を形成するために、相補形金属-酸化シリコン集積回路に回路(400)を追加する。この回路は、他のどの経路よりも前にターンオンして、ESD過渡電流を容易に損傷する構造から離れるように誘導することにより、ICをESD損傷から防護する。特定すれば、ソースとドレインがVDDとVSSにそれぞれ接続しているPチャネルトランジスタ(P3)のオン導通を経て、ESD過渡電流をVDDレール(102)からVSSレール(101)へと導くのである。このトランジスタのゲートは第2のトランジスタ(P4)と、コンデンサ(C1)とにより形成される遅延回路網により駆動されるので、このトランジスタのゲートの電圧はVDD供給レールに追従する。このVDD追跡遅延回路網は過渡中はVDD-VSS間トランジスタをターンオンし、ICの正規の動作中にはターンオフする。



請求の範囲

1. 少なくとも一部がCMOS回路であり、そのCMOS回路はそれに電力を供給するVDD電力供給レール及びVSS電力供給レールを有する集積回路の過渡防護回路において、

前記VDD供給レールに接続したソースと、前記VSS供給レールに接続したドレインと、ゲートとを有する第1のPチャネルMOSトランジスタと；

第1のトランジスタのゲートに接続したドレインと、前記VDD供給レールに接続したソースと、ゲートとを有する第2のMOSトランジスタと；

前記第1のトランジスタの前記ゲートに接続した第1のコンデンサ接続部と、前記VSS供給レールに接続した第2のコンデンサ接続部とを有するコンデンサとを具備する回路。

2. 前記第2のMOSトランジスタはPチャネルMOSトランジスタである請求項1記載の回路。

3. コンデンサは、前記コンデンサ接続部の一方を形成するゲートを有し且つ互いに接続されて他方の前記コンデンサ接続部を形成するソース及びドレインを有するMOSトランジスタとして実現されている請求項1又は2のいずれか1項に記載の回路。

4. コンデンサは、前記第2のコンデンサ接続部を形成するゲートを有し且つ互いに接続されて前記第1のコンデンサ接続部を形成するソース及びドレインを有するPチャネルMOSトランジスタとして実現されている請求項3記載の回路。

5. 少なくとも一部がCMOS回路であり、前記CMOS回路はそれに電力を供給するVDD電力供給レール及びVSS電力供給レールを有する集積回路の過渡防護回路において、

前記VDD供給レールに接続したソースと、前記VSS供給レールに接続したドレインと、ゲートとを有するPチャネルMOSトランジスタと；

出力端子がトランジスタのゲート端子に接続したVDD追跡遅延回路とを具備する回路。

6. 前記VDD追跡遅延回路はRC回路網から構成されている請求項5記載の

回路。

7. 前記RC回路網は、前記PチャネルMOSトランジスタの前記ゲートと前記VDD供給レールとの間に結合する抵抗と、前記PチャネルMOSトランジスタの前記ゲートと前記VSS供給レールとの間に結合するキャパシタンスとを含む請求項6記載の回路。

8. 前記抵抗はバイアスオンされるMOSトランジスタから構成されており、前記キャパシタンスは一方のコンデンサ接続部を形成するゲートを有し且つ互いに接続されて他方のコンデンサ接続部を形成するソース及びドレインを有するMOSトランジスタから構成されている請求項7記載の回路。

9. 少なくとも一部がCMOS回路であり、前記CMOS回路はそれに電力を供給するVDD電力供給レール及びVSS電力供給レールを有する集積回路の過渡防護回路において、

前記VDD供給レールに接続したソースと、前記VSS供給レールに接続したドレインと、ゲートとを有するPチャネルMOSトランジスタと；

前記PチャネルMOSトランジスタの前記ゲートに接続し、静電放電によって起こる超短時間過渡VDD-VSS間電圧変化の少なくとも相当多くの部分をソース-ゲート間電圧として前記PチャネルMOSトランジスタに加えて、それにより、静電放電によって起こるVDD-VSS間電圧変化を制限するために前記PチャネルMOSトランジスタをターンオンする回路手段とを具備する過渡防護回路。

10. 静電放電によって起こる超短時間過渡VDD-VSS間電圧変化の少なくとも相当多くの部分をソース-ゲート間電圧として前記PチャネルMOSトランジスタに加える回路手段は、電力供給電圧変化によって起こるVDD-VSS間電圧変化の相当多くの部分をソース-ゲート間電圧として前記PチャネルMOSトランジスタに加えず、それにより、電力供給電圧変化によって起こるVDD-VSS間電圧変化を制限するために前記PチャネルMOSトランジスタをターンオンしない手段でもある請求項9記載の過渡防護回路。

明 細 書

静電放電防護用分路

1. 発明の分野

本発明は、一般に、相補形金属-酸化シリコン（ここでは、より広い意味でCMOSと定義する）などの技術における集積回路（IC）の設計とレイアウトに関する。特定すれば、本発明は、ICの端子に加わるおそれのある静電放電（ESD）などの過渡現象からCMOS ICを保護することに関する。これは、ICの端子に過渡現象が表れたときに、IC回路を過剰な又は致命的な電圧スパイクと電流スパイクにさらすことなく、VDD電力供給レールとVSS電力供給レールとの間に意図的な、順方向バイアス分路を形成する回路の使用によって実行される。

2. 発明の背景

潜在的に結晶に凝り上げた予防措置を講じないと、非導電性物体がこすれ合うたびに静電荷は増加してゆく。通常、静電荷は害を及ぼすことなく消散するのであるが、偶然、ICを過って放電した場合には、そのICを永久に損傷できない状態にしてしまうことがある。CMOS ICのようなICの静電放電に対する感度が高すぎれば、IC又はICを含む回路基板の日常の取扱によって、ICが破壊されるおそれがある。

ICの静電放電防護を評価するために使用される一般的な方法の1つは、MIL-STD-883C METHOD 3015.6で定義されている人体モデルである。この評価方法では、典型的には2000ボルトまで充電した100pFのコンデンサを1500オームの抵抗器を介して試験すべきICの1つの端子へ、そのICの他のいずれかの端子を接地させつつ放電させなければならない。ICの機能障害を引き起こさずにICを介して放電できる電圧が高いほど、そのESD防護は良好であることになる。ESD防護を評価するために使用される他の方法は、機械モデルや、充電デバイスモデルである。

CMOS及びCMOSに類似するICをESDの破壊的な影響から保護するために、CMOSやCMOSに類似するICの一部として様々な構造が製造されている。図1は、従来の防護回路について典型的なものである回路図を示す。IC

は、典型的には、多数の入力端子及び出力端子と、組合せ入出力（I/O）端子であるいくつかの端子とを有する。図1は、VSSに接続し且つNチャネルトランジスタが製造されているP型基板を使用して構成されたCMOS ICの1つの入力端子と、1つの出力端子とに対する一般的なESD防護回路を示している。基板中に、VDDに接続するN型ウェルが製造されており、それらのN型ウェルの中にPチャネルトランジスタが製造されている。入力端子T1は、T1とVSS及びVDDそれぞれに対する電力供給レール101及び102との間の面積の広いダイオードであるダイオードD1及びD2により保護される。

図1は、典型的な従来の出力保護回路も示している。この回路は、出力端子T2と電力供給レール101及び102それぞれとの間にあり、且つトランジスタN2及びP2それぞれのドレイン拡散部の接合部に寄生して形成されている寄生ダイオードD3及びD4を含むものと考えられる。トランジスタN2及びP2は出力端子T2に関わる出力ドライバを形成する。また、図1は、VD供給レール102とVSS供給レール101との間の寄生ウェル-基板間ダイオードD5を示しており、このダイオードは、IC上の全てのPチャネルトランジスタを取囲むN-ウェル拡散部に形成されている。図5は、P-基板CMOSプロセスの場合のトランジスタN2及びP2の横断面図である。図5は、どの場所に寄生ダイオードD3及びD4が形成されているか、及び寄生ダイオードD5を形成するに際してのP2を包囲するN型ウェルの寄生とを示している。寄生ダイオードD3、D4及びD5とは異なり、ダイオードD1及びD2はESD保護のために意図してICレイアウトの中に含まれている。

ICのESD防護のレベルを測定するときには、ICのいずれか2つの端子の間にESD過渡を印加する。たとえば、図1において入力端子T1に関して出力端子T2に正パルス印加すると、それら2つの端子の間に直接の電流経路は存在していないので、ESDエネルギーは最も抵抗の小さい経路を見出す。これは、出力端子T2から抵抗器R2を介し、NチャネルトランジスタN2のドレインからソースへのブレークダウンを介するか又はドレインから基板へのブレークダウンを介し、基板からVSSレール101に至り、次に、ダイオードD1を経て入力端子T1に至る経路であっても良いであろう。あるいは、抵抗が最小である経

路はダイオードD4を介してVDDレール102に至り、ダイオードD5のブレークダウンを介し、次に、VSSレールを経て、ダイオードD1を介して入力端子T1に至るものであっても良いであろう。これらの経路の各々には、逆バイアスP-N接合部のなだれ形ブレークダウンが含まれている。

逆バイアス電圧条件の下にあるP-N接合部のなだれブレークダウンにおいては、P-N接合部を通過する自由キャリアは、P-N接合部の両側での電圧差によって発生する電界から十分なエネルギーを獲得し、それらの自由キャリアが結晶質シリコンの格子中の共有結合と衝突すると、その結合を破壊する。共有結合の破壊によって、さらに多くのキャリアが自由になり、それらのキャリアも同様に電界からエネルギーを獲得し、共有結合と衝突し、さらに多くのキャリアを自由にする。これらは、少量の雪が山の高い位置で動き始め、その結果、なだれとして降いてゆくより多くの量の雪が山を下るなだれに非常に似ている。雪なだれが山を覆っている雪の大部分をそのまま保つのと全く同じように、なだれP-N接合ブレークダウンは典型的には最大の電界によって狭い領域に局限される。この局限効果は、通常、なだれブレークダウンの間に発生する電流密度、すなわち、単位面積当たりの電流が非常に高く、それが局所的加熱をもたらして、それにより、結晶質シリコン格子の壊れた部分を修復させるか又はドーパント原子を結晶の内部で移動させ、その結果、ICの永久的な機能障害を発生するおそれがあるということを意味している。この局限効果は、通常、ブレークダウンで永久的損傷なしにP-N接合部を通過して流れることができる電流の量が順方向バイアスされたときに同じP-N接合部が通過できる電流の量より少ない大きさであることを意味している。

従来の技術においては、ESD防護のレベルは、通常、ICの最も弱いブレークダウンメカニズムが損傷なく処理しうるエネルギーの量に限定されている。典型的な市販のCMOS ICでは、先に図1の説明の中で第1に挙げた経路のブレークダウン電圧は通常は低く、その経路は最も抵抗の小さい経路を構成する。この経路を辿ってゆくESD過渡のエネルギーが非常に大きくなるたびに、なだれブレークダウンの間の局所加熱のために、典型的にはトランジスタN2のドレイン-ゲート間領域の周囲に破壊的な障害が起こる。従来の技術の多くは、なだ

又は遮断するスイッチング素子としてNチャネルトランジスタを使用する点及びスイッチングトランジスタがNチャネルトランジスタのドレインにおけるESD電圧からそのゲートへの容量結合を経てターンオンされる点で、本発明とは異なっている。これとは対照的に、本発明はVDD電力供給レールとVSS電力供給レールの対ごとに1つの防護回路を必要とし、スイッチング素子としてはPチャネルトランジスタを使用し、且つESDパルスの直接結合によってスイッチング素子をターンオンする。

Kellierによる別の従来の技術は、Puarの956号特許のコラム1の85行目からコラム3の23行目まで論じられている。この従来の技術は、Puarの956号特許の図2の抵抗器RAと関連して高い抵抗抵抗があるために、入力端子の防護にしか適していない。また、この従来の技術は両側のダイオードJAとトランジスタQAの双方におけるブレークダウンメカニズムに依存している。

Puarの956号特許以外の上記の全ての従来の技術は、ESD過渡電流を導通するために寄生経路のブレークダウンメカニズムに依存するという制限を有する。接合部のブレークダウンメカニズムに依存することに内在しているESD防護の限界の1つは、なだれブレークダウンの局限効果と、それに関連する高い電流密度と高温とによって、ブレークダウンで永久的損傷なしにP-N接合部を通過して流れることができる電流の量は、順方向バイアスされたときに同じP-N接合部が損傷なく通過できる電流の量より少ない大きさになるのが普通であるという点である。接合部のブレークダウンメカニズムに依存することに内在するESD防護のもう1つの限界は、様々な異なるデバイスのブレークダウン電圧がICを製造するために使用された基礎処理技術の関数であるという点である。あつ1つの技術を使用して製造したICにおいて最小抵抗の経路であるものが、ICのレイアウトは類似しているか又は全く同一であっても、別の技術で製造したICの最小抵抗の経路とは違ってしまふこともあり、そのため、有効なESD防護回路を工学的設計する作業は複雑になる。従って、P-N接合のブレークダウンを回避するESD防護メカニズムが必要である。

発明の簡単な概要

れブレークダウン及びスナップバックの両により大きなESD過渡に破壊を生じずに対応できるようにするために、抵抗器R2と組合せたトランジスタN2をレイアウトを改善すること、あるいは、トランジスタN2のドレイン-ゲート間領域のレイアウトを改善することのいずれかに集中している。

別の従来の技術は、VDDレールとVSSレールとの間に、寄生SCRのブレークダウン電圧が低い寄生SCR構造(図2に示す)を使用していた。この技術は、トランジスタN2のドレインを通過する経路より抵抗の小さい経路を構成しようとしている。この技術を適切に要約したのが、L. R. Averyによる論文「A review of electrostatic discharge mechanisms and on-chip protection techniques to ensure device reliability」(Journal of Electrostatics, 24 (1990年), 111~130ページ)である。

GuggenmosとHolznerによる別の従来の技術「A New ESD Protection Concept for VLSI CMOS Circuits Avoiding Circuit Stress」(1991 EOS/ESD Symposium Proceedings, 74~81ページ)は、NチャネルトランジスタN3(図3に示す)の使用を示しており、このトランジスタのドレインはVDDレール102に接続し、ゲートとソースはVSSレール101に接続している。トランジスタN3はドレインなだれブレークダウン-スナップバックモードで動作して、VDDからVSSに至る電流経路を形成する。

Puarによる別の従来の技術である米国特許第4,786,956号、「Input Protection Device for Integrated Circuits」は、ドレインが入力端子に接続し、ソースはVSSに接続し且つゲートは抵抗器を介して基板に接続しているNチャネルトランジスタの使用を示している(コラム3, 38~54行を参照)。本発明と同様に、ブレークダウンなしにESD放電を低減しようとする回路経路が設けられている。しかしながら、入力ピンごとに1つの防護回路を必要とする点、経路を成立させるか

電放電(ESD)などの過渡電流に対して重層的な、非逆バイアスVDD-VSS間分路を形成するために、相補形金属-酸化物シリコン(CMOS)集積回路(IC)に回路を追加する。この回路は、他のどの経路より前にターンオンして、容易に損傷する構造の外へESD過渡電流を誘導することにより、ICをESD放電から保護する。特定すれば、ソースとドレインがVDDとVSSにそれぞれ接続しているPチャネルトランジスタのオン導通を経て、ESD過渡電流をVDDレールからVSSレールへと指向する。このトランジスタのゲートは第2のトランジスタと、コンデンサとによって形成される遅延回路網により駆動されるので、このトランジスタのゲートの電圧はVDD供給レールに追従する。このVDD追跡遅延回路網は過渡中はVDD-VSS間トランジスタをターンオンし、ICの正規の動作中にはターンオフする。

本発明の目的は、金属ゲート又はシリコンゲートを使用して製造されていても、あるいは、シリコン又はサファイヤなどの絶縁性基板を使用して製造されていても、CMOS及びBiCMOSなどのCMOSに類似する技術を使用して実現したICに対して改善された過渡防護を実行することである。

本発明の別の目的は、IC製造プロセスにおける変動に対して有効である回路を使用して過渡防護を実行することである。

さらに別の目的は、正規の回路動作を妨害しないことである。

さらに別の目的は、ブレークダウンで動作するP-N接合部を含まない重層的な過渡防護経路を形成することである。

別の目的は、VDDからVSSへの経路をターンオン、ターンオフするVDD追跡遅延回路網を設けることである。

さらに別の目的は、入力ピン及び出力ピンごとにESD防護回路を追加しないことにより、ICを製造するために要求されるシリコンの面積を最小にすることである。

図面の簡単な説明

図1は、従来の一般的なCMOS入出力防護回路の回路図である。

図2は、VDDとVSSとの間に寄生SCRを追加した従来の一般的なCMOS入出力防護回路の回路図である。

図3は、VDDとVSSとの間にNチャネルトランジスタを追加した従来の一般的なCMOS入出力防護回路の回路図である。

図4は、本発明を追加した一般的なCMOS入出力防護回路の回路図である。

図5は、ダイオードD3、D4及びD5がどのようにして寄生形成されるかを示すトランジスタN2及びP2の横断面図である。

図8は、1.2ミクロンCMOSプロセスに関わるデバイスの好ましい大きさを示す本発明の回路図である。

好ましい実施例の詳細な説明

本発明は、ICのいずれかの寄生経路がターンオンする前にESDなどの過電圧を遮断するためにターンオンする意図的なVCC-VSS間電流経路を完成するように、ICに回路を追加する。この構造は過電圧電流を容易に誘導される構造の外へ誘導する。特定すれば、Pチャネルトランジスタのオン導通を経て、ESD過電圧電流をVDDレールからVSSレールへと導くのである。

図4の回路400は、ソース端子及びドレイン端子がVDD供給レール102とVSS供給レール101にそれぞれ接続しているPチャネルトランジスタP3と、PチャネルトランジスタP4及びコンデンサC1を含むVDD過電圧経路回路網を含む。好ましい実施例では、コンデンサC1をNチャネルトランジスタとして実現している。VDD過電圧経路回路網はトランジスタP3のゲートに接続しており、過電圧中はトランジスタP3をターンオンし、ICの正脈動作中にはターンオフする。トランジスタP3のゲートはトランジスタP4のドレイン端子と、コンデンサC1を接続しているNチャネルトランジスタのゲートとに接続している。トランジスタP4のソースはVDD供給レール102に接続し、トランジスタP4のゲートはVSS供給レール101に接続している。コンデンサC1を実現しているトランジスタのソースとドレインはVSS供給レール101にそれぞれ接続している。

本発明が要求するVDD過電圧経路機能を実行するために採用できる回路が数多くあることは当業者には自明であろう。たとえば、トランジスタP4を抵抗器と置換えることは可能であろう。

ICの正脈動作中、VDD端子T4は正の供給電圧、典型的には5ボルトに

すなわち、零ボルトに保持され且つ出力端子T2に正パルスが印加された場合には、最小抵抗の経路は順方向バイアスされるダイオードD4と、オンのトランジスタP3と、順方向バイアスされるダイオードD1とを介するものである。同様に、第3の例として、出力端子T2が接地電位に保持され且つ入力端子T1に正パルスが印加された場合には、最小抵抗の経路は順方向バイアスされるダイオードD2と、オンのトランジスタP3と、順方向バイアスされるダイオードD3とを介するものである。

以上の例は、いくつかのIC端子の間にパルスが印加されたときにESD誘導電流が所望の経路をどのようにしたるかを説明していた。ダイオードD1、D2、D3、D4及びD5と、回路400との組合せがあれば、ICのどの端子がESDパルスの正の側をとり、どの端子が負の側、すなわち、接地経路をとるのかにかかわらず、同様の所望の結果が得られることは当業者には明白であろう。

尚、トランジスタP3及びP4と、コンデンサC1の大きさと電気的パラメータを工学的に適正に設定すれば、あるエネルギーに達するまで、ESDパルスがICにP-N接合ブレークダウンを発生させるような状況は起こらない。すなわち、過電圧電流が順方向バイアスされたP-N接合のみを含む所望の経路を通って流れることに注意する。順方向バイアスされた所定の大きさのP-N接合部は同じ大きさの順方向バイアスされた接合部よりはるかに多くの電流を誘導できるので、(IC設計者がESD防護回路400に割当てる貴重なシリコンの面積に関して)投資の戻りは(ESD防護の改善によって)大きい。

ESD防護回路400のもう1つの利点は、逆方向バイアSP-N接合の局所的なブレークダウンを含むもののESD防護技術と比べても、IC製造プロセス中のはるかに広い範囲の変動に対してはほぼ同じ有効性を示すことである。

図4は、入力端子1つ、出力端子1つ、VDD供給レール1つ及びVSS供給レール1つの場合の本発明の一般的な実現形態を示す。I/O端子又は複数の入出力I/O端子を伴うICに本発明をどのように適用するかは、当業者には自明であろう。

本発明の別の利点は、ICのVDD供給レールとVSS供給レールの対ごとにESD防護回路400の1つの事例しか要求されないということである。これは、

接続しており、VSS端子T3は典型的には0ボルトに接続している。このような条件下では、トランジスタP4は完全にオンしており、コンデンサC1はVDD電圧まで充電する。トランジスタP3のゲートとソースは共にVDD電圧にあるので、トランジスタP3はオフである。従って、VDDとVSSとの間には導電経路は存在せず、それは正脈の回路動作には不可欠である。

ESD防護回路400の動作の以下の例について考える。ICに電力が印加されていないとき、VSS供給レール101は0ボルトであると考えられ、全ての内部ノードは0ボルトに近い電圧で浮動する。ESD又は現象が出力端子T2で(VSS供給レール101に関して)正の過電圧パルスが発生させると、ダイオードD4は順方向バイアスされ、抵抗器R2とトランジスタN2により抵抗の高い経路を形成している。ダイオードD4は電流をそれ自体を通過させて、VDDレール102へと導く。VDDレール102は浮動中であるので、その電圧は出力端子T2の電圧上昇に連れて、ほぼダイオードD4の降下電圧、典型的には0.7ボルトの降下に追従する。VDDレール102の電圧上昇がPチャネルトランジスタの閾値電圧、典型的には1ボルトを超えると、P3とP4は共に導通し始める。P4及びC1のデバイスサイズ、すなわち、それらの抵抗とキャパシタンスは、P3のゲートにおける電圧の上昇時間がマイクロ秒の単位であるように選択されている。ところが、ICを通るESDに反応した出力端子T2の過電圧パルスの上昇時間は典型的には10ナノ秒未満であるため、VDDレール102における上昇時間も同様である。ゲート端子の上昇時間(マイクロ秒)と、トランジスタP3のソース端子の上昇時間(ナノ秒)とのこの差は、ゲート-ソース間電位を徐々に負にするという結果をもたらす。従って、トランジスタP3の(ソースからドレインへの)オンコンダクタンスは増加しつつあるソース-ゲート間電位の二乗に比例して増加する。P3のサイズは、VDD電圧をIC上のどの場所でも寄生ブレークダウン電圧を超過させることなく、過電圧電流を処理できるように十分に大きく選択されている。これにより、過電圧電流は出力端子T2から所望の経路に沿ってVSSへ誘導され、適式に欠ける望ましくない逆バイアス経路又は寄生経路から離れる。

異なる1対の端子に過電圧を印加する第2の例として、入力端子T1が接地電位、

入力ピンごとに回路の追加を必要とするPuaの'856号特許などの従来の方式とは対照的である。複数のVDD又はVSS供給レールに対しては、いずれか所定のVDD供給レールと、いずれか所定のVSS供給レールとの間に1つの回路400を接続する。たとえば、2つのVDD供給レールVDD-1及びVDD-2と、1つのVSS供給レールとを有するICは2つの回路400—VDD-1とVSSとの間に1つ、VDD-2とVSSとの間にもう1つ—を必要とするであろう。本発明では、入力端子ごとにダイオードD1及びD2の事例が必要である。寄生ダイオードD3及びD4は出力端子及び入出力端子において同一の機能を果たす。

図8は、最小形状寸法が1.2ミクロンであり且つ2つの金属層を含むCMOSプロセスに関わる好ましいデバイスの大きさを示すESD防護回路400の回路図である。トランジスタP3は各々8μmの脚40本を有するようなレイアウトであり、その有効幅は3200μmであるが、単一の脚をもつレイアウトが有すると思われる値より直列抵抗ははるかに低い。このプロセスが支援する最小形状サイズは1.2μmであるが、トランジスタP3の幅は広いので、プロセスの変動やデバイスの欠陥を受にくくするように、長さは1.8μmであるのが好ましい。トランジスタP3の幅が広いほど、ICは誘導なく放電できる過電圧エネルギーは—ICの総ダイサイズに大きな影響を及ぼさず、レイアウトすべき幅より広い幅でレイアウトできるのであれば、—多くなるのであるが、3200μmは市販製品として許容しうるESD防護のレベルを与えるのに十分な幅であると考えられる。コンデンサC1は、各々が幅100μm、長さ5μmの脚を11本もつNチャネルトランジスタとして実現されるのが好ましい。ESD防護回路400の所望の機能に対しては、トランジスタP3のソース及びドレインと、それからVDD供給レール及びVSS供給レールに至るところで、直列抵抗を低く保持することは重要である。同様に、入力防護ダイオードD1及びD2、並びにそれから入力端子T1と、VDD供給レール及びVSS供給レールに至るレイアウトにおいても、直列抵抗を低く保持すべきである。同様に、トランジスタP2及びN2のレイアウトは、寄生ダイオードD3及びD4と関連する直列抵抗が低く保持されるようなものとするべきである。これらの事項は当業技術では良く知られて

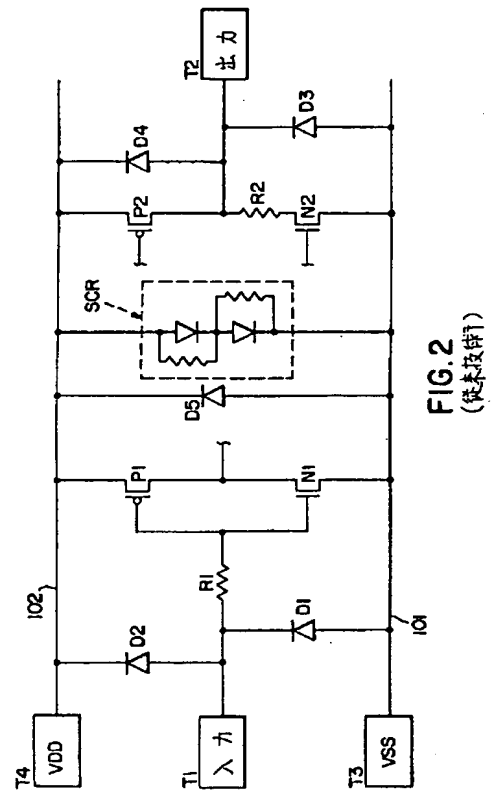
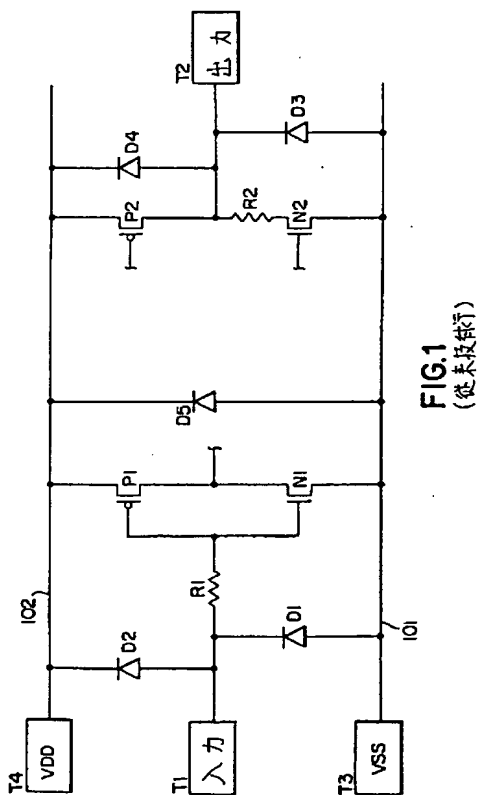
いる。

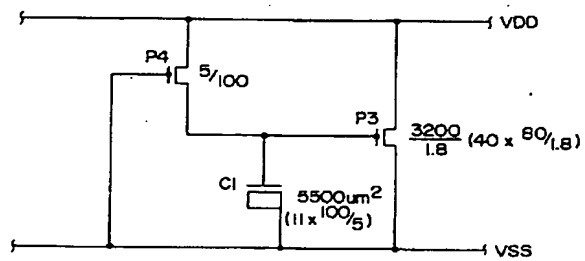
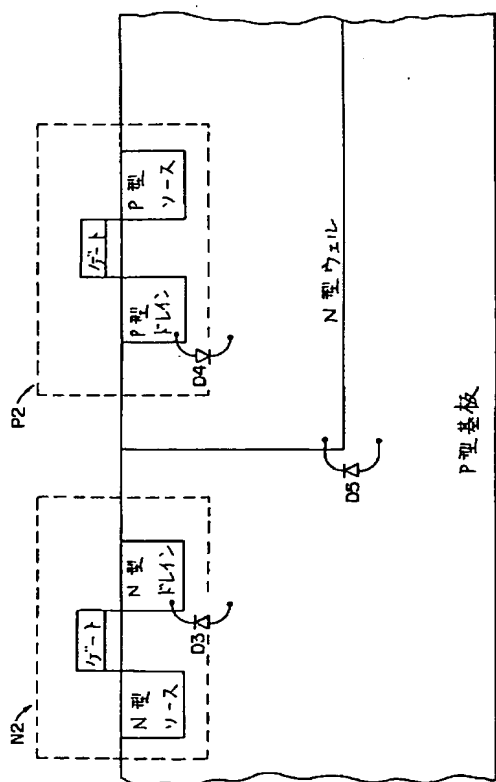
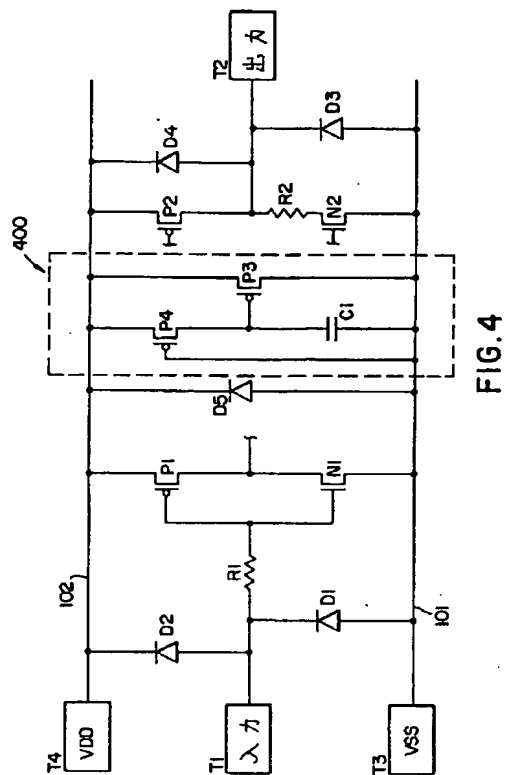
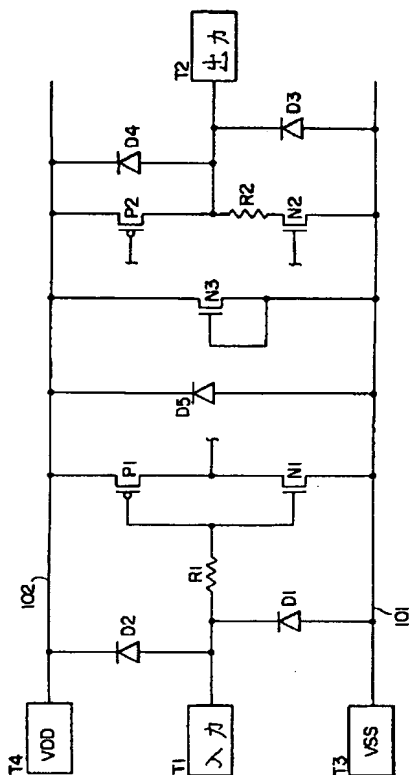
図5は、P型基板中のN型ウェルの場合を示す。N型基板中のP型ウェルの場合はわずかに異なる。この場合には、P型ウェルとN型基板との間にD5に類似するダイオードが形成されているが、このダイオードのウェル-基板間極性は図6に示すようにダイオードD5の極性ととは逆である。しかしながら、P型基板はVSSではなく、VDDに接続しているため、このダイオードの極性は図1〜4に示すようなD5の極性と同一である。この場合にはESD防護回路400を変更する必要はないが、ESDエネルギーがたどる経路は先に挙げたケースバイケース解析とは異なっている。

以上、P型基板CMOS集積回路と関連させて本発明の好ましい実施例を説明し、N型基板CMOS集積回路への本発明の適用をも説明した。しかしながら、BICMOS集積回路などのCMOSに類似する技術にも本発明を適用可能であることに注意すべきである。そのことを考慮して、本発明はCMOS出力端子を有するBICMOS集積回路に直接適用可能である。バイポーラ出力端子を有するBICMOS集積回路の場合（例を挙げると、図4のトランジスタP2及びN2がそれぞれPNPバイポーラトランジスタと、NPNバイポーラトランジスタである場合）、トランジスタN2及びP2の寄生として、あるいは、ESD防護回路の一部として接続するように特定して追加されて、ダイオードD3及びD4が存在している限り、本発明を直接に適用可能である。さらに、回路全体の一部として必要なダイオードが形成されている限り、シリコンゲートCMOS集積回路、並びにサファイア上シリコンなどの絶縁性基板を使用する先に挙げたいずれかの種類のCMOS回路に本発明を適用できることは言うまでもない。

図4の説明においては、好ましい実施例ではPチャネルトランジスタP4と、コンデンサC1とを含むVDD追跡回路網を参照した。この遅延回路は、それがVDD-VSS間電圧中のパルスに反応してトランジスタP3のゲートドレイン間電圧の変化に遅延制御遅延、遅れ又は時定数の結果として、本質的にはトランジスタP3のゲートをVDDレベル102の持続時間の非常に短いパルスから遮断する。希望に応じて、そのような遅延、遅れ又は時定数を別の回路により置いても良いことは自明である。

以上、本発明の好ましい実施例と様々な代替実施例を開示し且つ説明したが、本発明の範囲から逸脱せずに形態や詳細について様々な変更を実施することは当業者には自明であろう。





国際調査報告		PCT/ISA/210
A. CLASSIFICATION OF SUBJECT MATTER IPC(2) : H01L 9/04 US CL. : 254/26.91 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 361258.91 361258.11 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Extensive data base searched during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Character of document, with indication, where appropriate, of the relevant passages	Relevance to claim No.
Y,E	US.A. 5,189,588 (Yano et al.) 23 February 1993 See the entire document.	1-10
Y	US.A. 4,595,941 (Avery) 17 June 1986 See the entire document.	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family across.		
* Special categories of cited documents: "A" Document defining the general state of the art which is not considered to be part of prior art. "E" Earlier document published on or after the international filing date. "L" Document which was drawn or priority claimed or which is cited to establish the priority date of certain claims or other special cases for specified. "O" Document relating to an oral disclosure, use, exhibition or other event. "P" Document published prior to the international filing date but later than the priority date. "T" Document published after the international filing date but later than the priority date.		
Date of the actual completion of the international search: 06 APRIL 1993 Date of mailing of the international search report: 11 MAY 1993		
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20511 Fax: (202) 293-1171 Telex: (202) 293-1171 PCT/ISA/210 (revised sheet) (July 1992)		

フロントページの続き

(51) Int. Cl. *

識別記号 庁内整理番号

F I

H 0 1 L 21/8238

27/04

27/08

3 3 1 Z 9170-4M

27/088

27/092

8832 -4M

H 0 1 L 27/04

H

(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, SN, TD, TG), AT, AU, BB, BG, BR, CA, CH, DE, DK, ES, FI, GB, HU, JP, KP, K R, LK, LU, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, UA